

Display memory for cellular information apparatus, controls access from CPU and read-out to display screen assigned for different clock signals, separately

Patent Assignee: AYABE T; MIZUTA T; MORIYAMA K; SONY CORP

Inventors: AYABE T; AYABE T S S K C; MIZUTA H; MIZUTA T; MIZUTA T S S K C; MORIYAMA K; MORIYAMA K S S K C

Patent Family (18 patents, 30 countries)							
Patent Number	Kind	Date	Application Number	Kind	Date	Update	Type
WO 2003030138	A1	20030410	WO 2002JP10009	A	20020927	200335	B
JP 2003108056	A	20030411	JP 2001304371	A	20010928	200335	E
JP 2003108091	A	20030411	JP 2001304369	A	20010928	200335	E
JP 2003108092	A	20030411	JP 2001304370	A	20010928	200335	E
NO 200302408	A	20030709	WO 2002JP10009	A	20020927	200353	E
			NO 20032408	A	20030527		
CN 1484820	A	20040324	CN 2002803518	A	20020927	200437	E
EP 1431952	A1	20040623	EP 2002800259	A	20020927	200441	E
			WO 2002JP10009	A	20020927		
TW 573288	A	20040121	TW 2002122338	A	20020927	200453	E
KR 2004036678	A	20040430	KR 2003707060	A	20030527	200456	E
JP 3584917	B2	20041104	JP 2001304369	A	20010928	200472	E
JP 3596507	B2	20041202	JP 2001304371	A	20010928	200480	E
US 20050099375	A1	20050512	WO 2002JP10009	A	20020927	200532	E
			US 2004432937	A	20040202		
CN 1766984	A	20060503	CN 200510124868	A	20020927	200657	E
CN 1265346	C	20060719	CN 2002803518	A	20020927	200678	E
US 20070024606	A1	20070201	WO 2002JP10009	A	20020927	200712	E
			US 2004432937	A	20040202		
			US 2006470823	A	20060907		
US 7176864	B2	20070213	WO 2002JP10009	A	20020927	200714	E
			US 2004432937	A	20040202		
KR 908793	B1	20090722	WO 2002JP10009	A	20020927	200957	E
			KR 2003707060	A	20030527		
CN 100520894	C	20090729	CN 200510124868	A	20020927	201001	E

Priority Application Number (Number Kind Date): JP 2001304369 A 20010928; JP 2001304370 A 20010928; JP 2001304371 A 20010928

Patent Details					
Patent Number	Kind	Language	Pages	Drawings	Filing Notes
WO 2003030138	A1	JA	97	17	
National Designated States, Original	CN KR NO US				
Regional Designated States, Original	AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LU MC NL PT SE SK TR				
JP 2003108056	A	JA	24		
JP 2003108091	A	JA	19		

JP 2003108092	A	JA	19		
NO 200302408	A	NO			PCT Application WO 2002JP10009
EP 1431952	A1	EN			PCT Application WO 2002JP10009
					Based on OPI patent WO 2003030138
Regional Designated States, Original	AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL PT SE SK TR				
TW 573288	A	ZH			
JP 3584917	B2	JA	28		Previously issued patent JP 2003108091
JP 3596507	B2	JA	34		Previously issued patent JP 2003108056
US 20050099375	A1	EN			PCT Application WO 2002JP10009
US 20070024606	A1	EN			Division of application WO 2002JP10009
					Division of application US 2004432937
US 7176864	B2	EN			PCT Application WO 2002JP10009
					Based on OPI patent WO 2003030138
KR 908793	B1	KO			PCT Application WO 2002JP10009
					Previously issued patent KR 2004036678
					Based on OPI patent WO 2003030138

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-108091

(43)Date of publication of application : 11.04.2003

(51)Int.Cl.

G09G 3/36

G02F 1/133

G09G 3/20

(21)Application number : 2001-304369

(71)Applicant : SONY CORP

(22)Date of filing : 28.09.2001

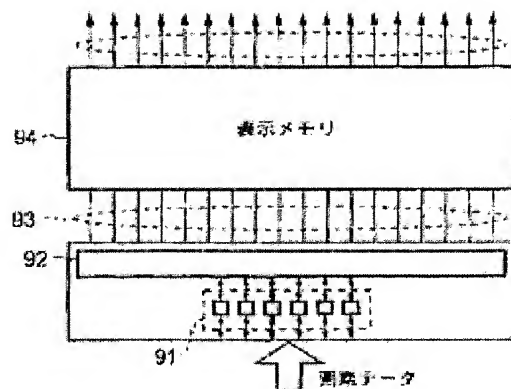
(72)Inventor : MIZUTA HIROSHI
MORIYAMA KATSUTOSHI
AYABE TOMOYA

(54) DRIVER CIRCUIT AND DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a driver circuit which can reduce the power consumption, enables high-speed plotting and has a display memory that does not require memory mapping and to provide a display device using the driver circuit.

SOLUTION: The driver circuit is provided with a line latch for storing a one-line portion of picture data of a picture and a driving means for writing data supplied from a control means with one line as a unit into the display memory through the line latch and reading out picture data from the display memory to output it to the control means. The driving means stores each pixel data out of the one-line portion of pixel data held in the line latch in the display memory as pixel data for driving a corresponding pixel out of one corresponding line of a matrix pixel arrangement. Write control data which designates pixel data to be written in the display memory is stored in the line latch by pixels, and the driving means writes pixel data designated by the write control data in the display memory.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2003-108091
(P2003-108091A)

(43)公開日 平成15年4月11日(2003.4.11)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 8 0
	6 2 4		6 2 4 B
	6 3 1		6 3 1 B
審査請求 未請求 請求項の数10 O L (全 19 頁) 最終頁に続く			

(21)出願番号 特願2001-304369(P2001-304369)

(22)出願日 平成13年9月28日(2001.9.28)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 水田 大士

福岡県福岡市早良区百道浜2丁目3番2号

ソニーセミコンダクタ九州株式会社内

(72)発明者 森山 勝利

福岡県福岡市早良区百道浜2丁目3番2号

ソニーセミコンダクタ九州株式会社内

(74)代理人 100094053

弁理士 佐藤 隆久

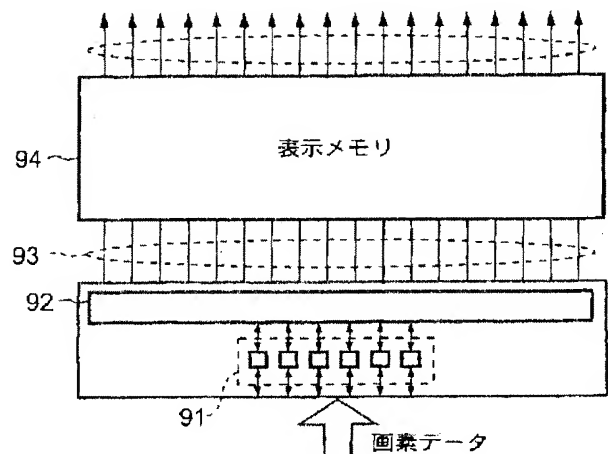
最終頁に続く

(54)【発明の名称】 ドライバ回路及びディスプレイ

(57)【要約】

【課題】消費電力を低減でき、高速度で描画でき、メモリマッピングをする必要が無い表示メモリを有するドライバ回路、及びそのドライバ回路を用いたディスプレイを提供する。

【解決手段】ドライバ回路は、画面上の1ライン分の画像データを格納するラインラッチと、該ラインラッチを介して、1ライン単位で制御手段から供給されたデータを表示メモリへ書き込み、並びに、表示メモリから画像データを読み出して制御手段へ出力する駆動手段とを有し、該駆動手段は、上記ラインラッチに保持された1ライン分の画素データのうちの各画素データを、マトリクス状の画素配列の対応する1ラインのうち対応する各画素を駆動する画素データとして、表示メモリに記憶し、また、上記ラインラッチに、表示メモリへ書き込むべき画素データを指定する書き込み制御データが画素毎に記憶され、上記駆動手段は、該書き込み制御データに指定された画素データを前記表示メモリへ書き込む。



【特許請求の範囲】

【請求項 1】制御手段から供給され、表示メモリに記憶された画像データに対応した信号によりディスプレイのマトリックス状に配列された画素を駆動するドライバ回路であって、

前記マトリックス状に配列された画素の水平方向に 1 ライン分の画像データを格納するラインラッチと、
該ラインラッチを介して、前記 1 ライン分の画像データを単位として、前記制御手段から供給されたデータを前記表示メモリへ書き込み、前記表示メモリから画像データを読み出し、前記制御手段へ出力する駆動手段とを有するドライバ回路。

【請求項 2】前記駆動手段は、画像データを前記ラインラッチに 1 ライン分まで蓄積したあと、前記表示メモリへ一度に書き込む請求項 1 に記載のドライバ回路。

【請求項 3】前記駆動手段は、前記マトリックス状に配列された画素の水平方向に 1 ライン分の画像データを一度に前記表示メモリから前記ラインラッチに出力する請求項 1 に記載のドライバ回路。

【請求項 4】前記駆動手段は、前記ラインラッチに保持された前記マトリックス状に配列された画素の 1 ライン分の画素データにおける各画素データを、前記マトリックス状に配列された画素の対応する 1 ラインの画素における対応する各画素を駆動する画素データとして、前記表示メモリに記憶する請求項 1 に記載のドライバ回路。

【請求項 5】前記ラインラッチには、前記ラインラッチに保持された画素データの中に、前記表示メモリへ書き込むべき画素データを指定する書き込み制御データが画素毎に記憶され、
前記駆動手段は、該書き込み制御データに指定された前記ラインラッチに保持された画素データを前記表示メモリへ書き込む請求項 1 に記載のドライバ回路。

【請求項 6】画素をマトリックス状に配列したディスプレイ表示画面と、
前記画素マトリックスを 1 行ずつ走査し、選択した行に電圧を印加する走査回路と、
画像データに対応した信号を前記画素へ出力するドライバ回路と、

前記画像データを記憶する表示メモリを有し、
前記ドライバ回路は、前記マトリックス状に配列された画素の水平方向に 1 ライン分の画像データを格納するラインラッチと、
該ラインラッチを介して、前記 1 ライン分の画像データを単位として、前記制御手段から供給されたデータを前記表示メモリへ書き込み、または、前記表示メモリから画像データを読み出し、前記制御手段へ出力する駆動手段とを有するディスプレイ。

【請求項 7】前記駆動手段は、画像データを前記ラインラッチに 1 ライン分まで蓄積したあと、前記表示メモリへ一度に書き込む請求項 6 に記載のディスプレイ。

【請求項 8】前記駆動手段は、前記マトリックス状に配列された画素の水平方向に 1 ライン分の画像データを一度に前記表示メモリから前記ラインラッチに出力する請求項 6 に記載のディスプレイ。

【請求項 9】前記駆動手段は、前記ラインラッチに保持された前記マトリックス状に配列された画素の 1 ライン分の画素データにおける各画素データを、前記マトリックス状に配列された画素の対応する 1 ラインの画素における対応する各画素を駆動する画素データとして、前記表示メモリに記憶する請求項 6 に記載のディスプレイ。

【請求項 10】前記ラインラッチには、前記ラインラッチに保持された画素データの中に、前記表示メモリへ書き込むべき画素データを指定する書き込み制御データが画素毎に記憶され、
前記駆動手段は、該書き込み制御データに指定された前記ラインラッチに保持された画素データを前記表示メモリへ書き込む請求項 6 に記載のディスプレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像データに対応した信号によりディスプレイのマトリックス状に配列された画素を駆動するドライバ回路、及びそのドライバ回路を用いたディスプレイに関する。

【0002】

【従来の技術】液晶ディスプレイは、軽量、薄型、低消費電力などの特長を活かし、携帯電話や、PDA(Personal Digital Assistants)等の携帯情報機器の表示システムとして幅広く使用されている。また、携帯電話やインターネットの普及により、携帯情報機器の表示は、より大型化、カラー化対応などの高画質要求と、長時間使用を実現するための超低消費電力への対応が強く望まれており、液晶ドライバでは、大画面化とカラー化に対応しつつ、低消費電力化を実現することが重要となってきた。

【0003】しかし、従来の液晶ドライバ構成では、LSI 内部の論理回路部の低消費電力化は様々な方法により低減化が進められてきたが、画面の大型化やカラー化などの高画質に対応すると、駆動素子数が増加するため、消費電力の上昇を伴った。

【0004】低消費電力化を実現するためには、表示用メモリ（フレーム・メモリとも言う）を液晶ドライバに内蔵する方法が採用された。これによって、表示データ転送を行なうためのコントローラ・メモリが不要で、部品点数を削減し、消費電力の低減を実現した。また、新しい駆動方式を採用することによって、消費電力を低減した。

【0005】この課題に関して、例えば、特開平 7-64514 号公報において、高速度と低電力化を実現した汎用メモリを内蔵した液晶ドライバ、及びそのドライバを用いた液晶ディスプレイが開示されている。また、特開 2000-293144 号公報において、低消費電

10

20

30

40

50

力、高速で描画動作をし、CPUの負荷を低減できるメモリ内蔵液晶ドライバを用いた液晶表示装置が開示されている。また、特開平7-281634号公報において、低消費電力を図ると共に、高速描画アクセスを実現したメモリ内蔵液晶ドライバを用いた液晶ディスプレイが開示されている。また、特開平7-230265号公報において、電源の供給手法を改善し、低消費電力且つ大容量のメモリを内蔵した液晶駆動装置を実現した。また、特開平7-175445号公報において、液晶ドライバに汎用メモリインターフェイスによりアクセス可能な表示メモリを内蔵することで、システムの動作効率を低下させることなく、低消費電力化、描画の高速化を図った。

【0006】

【発明が解決しようとする課題】しかし、従来方式においては、複数単位ピクセル毎にCPUからメモリへのアクセスを行なうため、例えば、1画面分のデータをCPUからメモリに格納しようとした場合、(1画面分のピクセル数)/(複数単位ピクセル内のピクセル数)回のメモリへの書き込み動作が必要とされるので、メモリの動作回数が多かった。メモリの動作消費電力はライト/リードの回数に比例していることから、消費電力が多かった。例えば、CPUからメモリへ1画面分のデータを転送する場合、(1画面分のピクセル数)/(複数単位ピクセル)回のメモリのライト動作が必要になり、そのアクセス回数分の電力を消費するといった問題があった。

【0007】また、従来方式では、メモリの高周波数で動作させる必要があり、CPUのアクセス時間に余裕を持たせることができず、画面を早く切り替える必要がある動画表示などに適さないという問題があった。

【0008】また、従来のメモリを使用する場合、メモリ配列と液晶の画素配列のイメージは同一ではなく、描画する際ピクセルがメモリの何処にあるか計算する必要があった。

【0009】また、従来の表示メモリでは、データを書き込む場合一度に書き込むデータ全てを書き換えている。従って、一度に書き込むデータの中に変更したくないデータがある場合は、データを書き換える前に予めデータを読み出し、書き換えたくないデータをマスクしながら書き換えるビットを変更し、メモリへ書き込む必要がある、いわゆる、リード・モディファイ・ライト

(Read modify Write) 方式を採用していた。そのため、動作の回数が多く、電力を消費する問題があった。

【0010】本発明は従来の問題に鑑みてなされたものであり、その目的は消費電力を低減でき、高速度で描画でき、メモリマッピングをする必要が無い表示メモリを有するドライバ回路、及びそのドライバ回路を用いたディスプレイを提供することにある。

【0011】

【課題を解決するための手段】本発明の目的を達成する

ために、本発明に係るドライバ回路は、制御手段から供給され、表示メモリに記憶された画像データに対応した信号をマトリックス状に配列された画素へ出力するドライバ回路であって、前記マトリックス状に配列された画素の水平方向に1ライン分の画像データを格納するラインラッチと、該ラインラッチを介して、前記1ライン分の画像データを単位として、前記制御手段から供給されたデータを前記表示メモリへ書き込み、または、前記表示メモリから画像データを読み出し、前記制御手段へ出力する駆動手段とを有する。

【0012】具体的に、前記駆動手段は、画像データを前記ラインラッチに1ライン分まで蓄積したあと、前記表示メモリへ一度に書き込む。また、前記駆動手段は、前記マトリックス状に配列された画素の水平方向に1ライン分の画像データを一度に前記表示メモリから前記ラインラッチに出力する。

【0013】また、前記駆動手段は、前記ラインラッチに保持された前記マトリックス状に配列された画素の1ライン分の画素データにおける各画素データを、前記マトリックス状に配列された画素の対応する1ラインの画素における対応する各画素を駆動する画素データとして、前記表示メモリに記憶する。

【0014】また、前記ラインラッチには、前記ラインラッチに保持された画素データの中に、前記表示メモリへ書き込むべき画素データを指定する書き込み制御データが画素毎に記憶され、前記駆動手段は、該書き込み制御データに指定された前記ラインラッチに保持された画素データを前記表示メモリへ書き込む。

【0015】また、本発明の目的を達成するために、本発明に係るディスプレイは、ディスプレイ表示画面と、走査回路と、上記のドライバ回路とを含み、前述のドライバ回路と同様の効果を奏する。

【0016】

【発明の実施の形態】以下に、本発明に係る表示メモリ、ドライバ回路、及びそのドライバ回路を用いたディスプレイの実施の形態について、添付の図面を参照して述べる。

第1の実施形態

図1は本発明に係るディスプレイ1の第1の実施形態の全体構成図である。ここでは、液晶ドライバ、及びその液晶ドライバ回路を用いた液晶ディスプレイを例として説明する。図1に示す液晶ディスプレイ1において、装置全体の動作を制御するプロセッサ(CPU)2、液晶ドライバ3、画像を表示する表示画面4(液晶ディスプレイの場合は、液晶パネル4となる)、液晶パネル4の水平方向にアドレスが与えられた画素の行を選択して各画素に電圧を印加してオンにする走査回路5が含まれる。

【0017】液晶ドライバ3は、表示メモリ7、CPU2からの画素毎のデータを受けて、表示メモリ7に書き込み、または、表示メモリ7に記憶された画素データを読

10

20

30

40

50

み出すCPU側インターフェイス(CPU I/F) 6、及び表示メモリ7が出力した赤(Red)、緑(Green)、と青(Blue)色を含む画素データを受けて、液晶パネル4に出力して表示するパネル側インターフェイス(LCD I/F) 8を有する。

【0018】CPU側インターフェイス(CPU I/F) 6は、CPU2からの画素のデータを溜めるデータラッチ9と、セレクト回路10とを有する。パネル側インターフェイス(LCD I/F) 8は、メモリの出力をバッファするデータラッチ11、セレクト回路12、および表示する画像データをデジタル信号からアナログ信号に変換して、液晶パネル4の画素に出力するデジタル-アナログ変換器(DAC) 13を含む。

【0019】画像を液晶パネル4に表示するために、CPU2から画素ごとのデータが転送され、CPU I/F 6のデータラッチ9で液晶パネル4の水平方向に1ライン分まで溜められ、その1ライン分のデータは同時に表示メモリ7に転送される。表示メモリ7から、液晶パネル4の水平方向に1ライン分の画素データは同時に出力されて、LCD I/F 8のデータラッチ11にラッチされ、そして同時に液晶パネルに画素データに応じた電圧を印加する。これによって、画素データは画面に表示される。

【0020】本実施形態で、表示メモリ7は、たとえば、シングルポートSRAMにより構成されている。図2に示すように、表示メモリ7は、メモリセル21、第1の読み出し回路としてのセンス・アンプ22、第2の読み出し回路としてのセンス・アンプ23、書き込み回路24、ビット線対25aと25b、およびワード線26を有する。図2において、表示メモリ7のメモリセル21は、入出力同士が接続された2つのインバータ29aとインバータ29b、アクセストランジスタとしてのNMOSトランジスタ27a、27bを有し、インバータ29aの出力とインバータ29bの入力との接続点により第1の記憶ノード28aが構成され、インバータ29aの入力とインバータ29bの出力との接続点により第2の記憶ノード28bが構成されている。ビット線25aは、NMOSトランジスタ27aを介して、第1の記憶ノード28aに接続され、ビット線25bは、NMOSトランジスタ27bを介して、第2の記憶ノード28bに接続されている。そして、メモリセル21のNMOSトランジスタ27a、27bのゲートは共通のワード線26に接続されている。液晶パネル4へデータを出力する時に、センス・アンプ22を用いてメモリ7から画像データを読み出す。センス・アンプ23は、CPU2がメモリ7からデータを読み出す際に使用する。CPU2が書き込み回路24を用いて、メモリ7へデータを書き込む。RC1、RC2はセンス・アンプ22、23の制御信号(sense amplifier control)を示し、RD1、RD2はセンス・アンプ22、23の出力データ(read data)を示している。WC、WDは書き込み回路24の制御信号(write control)、およびメモリセル21へ書き込みデータ(write data)を示す。書き込み回路24

は、直列に接続されたローレベルでアクティブの制御信号WCに動作する第1のドライバ24a、24bを有する。

【0021】本実施形態の表示メモリ7は、たとえば、液晶ドライバ3に内蔵する専用のSRAMである。図2に示されているように、メモリセル21の構成素子として、表示時の読みだしセンス・アンプ22とCPU2がメモリセルからデータを読み出すためのセンス・アンプ23は、両ビット線25a、25bにそれぞれ接続しており、センス・アンプ22と23は各々独立に読みだしの制御ができる。センス・アンプ23と書き込み回路24は同時に動作できる、つまり、書きながら、読み出すことが可能である。

【0022】次は、上記表示メモリ7の動作を説明する。1対のCMOSインバータ29a、29bに、例えば、 $V_m = 3.3V$ の駆動用電源電圧を印加する。該CMOSインバータ対29a、29bは双安定のフリップフロップ回路であり、その双安定状態のうち、例えば、ノード28aが高レベルで、ノード28bが低レベルの時、データ“1”を記憶していると定義し、逆に、ノード28aが低レベルで、ノード28bが高レベルの時、データ“0”を記憶していると定義する。

【0023】メモリセル21に記憶されたデータを読み出す時は、まず、走査回路5がメモリセルマトリックスを走査し、図示しないロー (Row、行) アドレスデコーダに指定されたワード線、例えば、ワード線26が選択され、電圧が印加されて、NMOSトランジスタ27a、27bを導通状態になる。ビットごとに読み出す場合は、図示しないカラム (column、列) アドレスデコーダにより、さらに読み出すべきメモリセル、例えば、メモリセル21、を指定し、この時は、読出し制御信号RC1、或は、RC2が高レベルとなり、センス・アンプ22、或は、センス・アンプ23をオンにする。ラインごと、或いは、複数メモリセルごとに読み出す場合は、図示しない手段で、例えば、メモリセル21を含み、読み出すべきメモリセルライン、又は、複数メモリセルを指定する。NMOSトランジスタ27a、27bが導通状態になっているので、ノード28aと28bの状態はそれぞれビット線対25aと25bに接続されたセンス・アンプ22と23に伝わる。

【0024】メモリに記憶されているデータを液晶パネルへ出力する場合、読出し制御信号RC1が高レベルとなり、センス・アンプ22がオンとなり、そして、メモリセル21の現在の状態、即ち、ノード28aに記憶された“1”または“0”は、センス・アンプ22から取り出される。CPU2からメモリに記憶されているデータを読み出す場合は、読出し制御信号RC2が高レベルになり、センス・アンプ23がオンとなり、そして、ノード28bに記憶されたノード28aと相補的な値“0”または“1”が、センス・アンプ23に反転されて、ノー

ド28aと同じ値のデータが取り出される。

【0025】CPU2からメモリセル21にデータを書き込むときは、以上のようにメモリセル、または、複数のメモリセルを選択し、ワード電圧を印加し、NMOSトランジスタ27a、27bを導通状態にする。選択されたメモリセルの書きこみ制御信号WCが低レベルとなり、書き込み回路24がオンとなる。図2に示すように、書き込み回路24は第1の書き込みドライバ24aと第2の書き込みドライバ24bを有し、書き込み回路24に入力された書きこみデータWDは、まず第2の書き込みドライバ24bに反転されて、オンとなっているNMOSトランジスタ27bを介して、記憶ノード28bに記憶される。第2の書き込みドライバ24bの反転された出力は第1の書き込みドライバ24aに入力されてさらに反転されて、オンとなっているNMOSトランジスタ27aを介して、記憶ノード28aに記憶される。例えば、書きこみデータWDの値は1の場合は、第2の書き込みドライバ24bの出力で0になって、記憶ノード28bに記憶される。第2の書き込みドライバ24bの出力0は第1の書き込みドライバ24aに入力されて、1が出力され、記憶ノード28aに記憶される。書きこみデータWDの値は0の場合も同じように、記憶ノード28aに0が記憶され、記憶ノード28bに1が記憶される。

【0026】図3は上記の表示メモリ7を内蔵した液晶ドライバ3の要部を示す。図3において、図1と同じ構成成分には同じ番号を用いる。図3には、CPU側のインターフェイス回路(CPU I/F)は6で示され、データラッチ9、セクタ10等を含む。7は本実施形態の表示メモリ、8は液晶パネル表示用のインターフェイス回路をそれぞれ示す。表示用のインターフェイス8は、データラッチ11、セクタ12、DAC 13等の回路を含む。34、35はそれぞれメモリ7が出力した画像データを液晶パネルへ転送するためのデータバス、CPU2がメモリ7へデータを転送するためのデータバスである。

【0027】図3は示す液晶ドライバ3は次のように動作する。CPU2は表示メモリ7へ画素データを書き込む場合は、CPU2は表示する画像データをピクセルごとに表示メモリ7へ送る。その画素ごとに送られた画素データはまずデータラッチ9に溜められる。データラッチ9に所定ビット数まで溜められたデータがセクタ10に出力され、選択されて、データバス35を経由して、表示メモリ7に書き込まれる。或いは、CPU2は表示メモリ7に記憶された画素データを読み出す場合は、表示メモリ7に記憶された画素データは所定ビット数単位でデータバス35を経由して、セクタ10を介して、データラッチ9に保持され、そして、そのデータラッチ9に保持されたデータが画素ごとにCPU2に読み出される。

【0028】表示メモリ7に記憶された画素データを読み出して液晶パネルに表示する場合は、表示メモリ7に記憶された画素データは所定ビット数単位で、データバ

ス34を経由して、データラッチ11に保持される。そして、データラッチ11に保持されたデータがセクタ12に出力され、セクタ12により、各画素データのR、G、B部分が所定の方式で順次を選択され、デジタルアナログ変換器(DAC)13へ出力され、さらに液晶パネルの画素に出力される。

【0029】本実施形態において、データバス34は液晶パネルの水平方向の1ライン分に必要なデータ数を有する。1ライン分のデータ数は1ライン分の画素数×色(ビット数)で計算できる。具体的に、1ライン分の画素数が176ピクセル(pixel)、色が18ビット(R、G、B各6ビット)の場合に、3168ビットの出力データバスになる。データバス35のビット数は、データバス34と同様に、1ライン分のデータビット数を有し、画素数が176ピクセル(pixel)、色が18ビットの場合の場合には、3168ビットになる。

【0030】図3及び上記のように、表示メモリ7は、2つの読みだしポートと1つの書き込みポートを有し、1つの読みだしポートとその1つの書き込みポートを、CPU2からのアクセスに割り当て、他方の読みだしポートを液晶パネル4に画素データを表示用に割り当てている。CPU2から表示メモリ7への読みだしと書き込みアクセスは、表示メモリ7から液晶パネル4への読みだしアクセスが独立に制御され、同時に行うことができる。

【0031】さらに、CPU2の表示メモリ7への読みだしおよび書き込みアクセスと表示メモリ7から液晶パネル4への読みだしアクセスは、表示メモリ7の動作を制御するクロック信号の高レベル期間と低レベル期間にそれぞれ割り当てており、CPU2からのアクセスおよび液晶パネル4への読みだし動作は互いに干渉せず、並行に行われる。

【0032】図4は以上の動作を示すタイミングチャートである。図4においては、(A)は表示を行なう時の読みだしアクセスのアドレス信号DRAを示す、DRAは1行表示毎に1回発生する。(B)はCPU2が表示メモリ7へアクセスする為のアドレス信号CAAを示す。(C)は表示メモリ7のクロック信号MCLKを示す。MCLKの高レベル期間は、CPU2が表示メモリ7へアクセスする期間であり、この期間において、CPU2が表示メモリ7から画像データを読みだし、または、CPU2が表示メモリ7へ画像データを書き込む。MCLKの低レベル期間は、表示の為の読み出し期間に使用する。この期間において、表示メモリ7に記憶された画像データを読みだし、液晶パネルの画素へ出力する。(D)は表示の為の読みだし期間を示す信号DRを示す。表示メモリ7のクロック信号MCLKが低レベルの期間に表示メモリ7からの読み出しを行う。(E)はCPU2が表示メモリ7から読み出す期間を示す信号CRを示す、表示メモリ7のクロック信号MCLKが高レベルの期間にCPU2が表示メモリ7から読み出しを行なう。(F)はCPU2が表示メモリ7へ書き込む期間を示す信号CWを示し、表示メ

メモリ7のクロック信号MCLKが高レベルの期間にCPU2が表示メモリへ書き込む。

【0033】本実施形態によれば、液晶ドライバ内蔵の専用表示メモリでは、各メモリセルはCPU用と表示用の2つの読みだしセンス・アンプをビットラインの両端に装備し、また、CPU用の書き込みドライバを設けることによって、表示のためのアクセスとCPUからの読みだしアクセス各々独立に制御出来るようになる。それにより、読みだしポートを2系統、書き込みポートを1系統装備できるので、それぞれCPUと液晶パネル表示用に割り当てて、さらに、CPUのアクセスと表示のためのアクセスをシステムクロックの高レベル期間と低レベル期間にそれぞれ割り当てれば、同時にCPUと表示のための読みだしの動作が並行に行うことができ、重なることはない。即ち、表示用の動作と描画、及びデータの読みだしを独立に行なうことができる。これにより、表示のためのアクセス回数が増えた場合でも、描画、読みだしの為の時間が削減される事はなく、表示の為にCPUが待たされることが無い。

【0034】また、本実施形態の表示メモリでは、表示メモリの反対同士の辺に端子が装備され、両インターフェイスは表示メモリを挟んで配置される。その一方はCPU側のインターフェイス用、他方は液晶パネル側のインターフェイス用にして、それぞれ表示メモリに直結できる。これにより、信号線の引き回しはなく、従来の汎用のインターフェイスにくらべ配線量を削減でき、配線分の消費電力を削減できる。また、通常のDual Port SRAMを使用する場合と比較し、本実施形態のSingle Port SRAMは大幅にセルサイズを削減できる。

【0035】第2の実施形態

本実施形態では、消費電力をさらに削減するために、メモリの電源を分割して、メモリの異なる画像データ領域に独立に電力を提供する例を述べる。本実施形態における表示メモリは、第1の実施形態の表示メモリの構成を有し、さらに、本実施形態において、該表示メモリが複数の領域に分離され、各分離された領域または動作モードごとに電源の入切りが制御される。

【0036】図5は電源を分割した表示メモリの構成を示す。図5において、図2と同じ構成成分の一部には同じ番号を用いている。図5において、51a、51b、51cは図2に示した第1の実施形態に係る表示メモリ7のメモリセル、52aと52bはビット線対、53a、53b、53cはワード線、54a、54b、54cはN well、55a、55b、55cはP wellを示す。メモリセル51aにおいて、N well 54aで、PMOSトランジスタP1とP2が形成され、P well 55aでは、NMOSトランジスタN1、N2、27a、27bが形成される。NMOS N1とPMOS P1はCMOSインバータ回路29aを構成し、NMOS N2とPMOS P2はCMOSインバータ回路29bを構成する。この1対のCMOSインバータ29aと29bがフリップフロップ構

成に接続され、双安定のフリップフロップ回路となる。この1対のCMOSインバータ29aと29bに、駆動電源ライン56aにより、駆動電圧 V_{DD} を印加すると、上記双安定のフリップフロップ回路はノード28aと28bでは2つの相補的な安定な状態が保持され、ノード28aと28bはデータを記憶できる記憶ノードとなる。例えば、ノード28aが高レベルで、ノード28bが低レベルの時、データ“1”を記憶していると定義し、逆に、ノード28aが低レベルで、ノード28bが高レベルの時、情報“0”を記憶していると定義する。

【0037】このデータを読み出す時は、まず、図示しない行アドレスデコーダに指定されたワード線、例えば、ワード線53aにワード線電圧を印加し、NMOSトランジスタ27a、27bを導通状態にする。ビットごとに読み出す場合は、図示しない列アドレスデコーダにより、読み出すべきメモリセル、例えば、メモリセル51a、51b、51cを指定し、ワード線の指定とあわせて、メモリセル51aを選択する事となる。ラインごと、或いは、複数メモリセルごとに読み出す場合は、例えば、メモリセル51aを含んだメモリセルライン、又は、複数メモリセルを指定する。NMOSトランジスタ27a、27bが導通状態になっているので、ノード28aと28bの状態はビット線対52aと52bに接続された図示しない読み出しセンス・アンプに伝わる。メモリに記憶されたデータを液晶パネルへ出力する場合は、図示しない表示用センス・アンプにより、メモリセル51aの現在の状態を取り出す。また、CPU2からメモリに記憶されているデータを読み出す場合は、不図示のCPUセンス・アンプにより、メモリセル21の現在の状態を取り出す。

【0038】また、CPU2からメモリセル51aにデータを書き込むときは、以上のようにメモリセルのライン、または、複数のメモリセル、または、一つのメモリセルを選択して、NMOSトランジスタ27a、27bを導通状態にし、そして、不図示の書き込みドライバに入力された書き込みデータは、該NMOSトランジスタ27a、27bを介して、両記憶ノード28aと28bに記憶される。即ち、書き込みデータの値は1に場合は、記憶ノード28aを高レベル、記憶ノード28bを低レベルにし、データの値は0に場合は、記憶ノード28aを低レベル、記憶ノード28bを高レベルにする。メモリセル51b、51cは、メモリセル51aと全く同じ構成を有し、51aと同じように動作するので、メモリセル51b、51cにおいて、電源以外の各構成成分に、メモリセル51aと同じ番号を用いている。

【0039】さらに、本実施形態では、図5に示すように、メモリセル51a、51b、51cの駆動電源ライン56a、56b、56cにそれぞれ電源スイッチングとして機能するPMOSトランジスタTr1、Tr2、およびTr3が接続されており、メモリセル51a、51b、と5

1 c への電源の入り切りを制御する。

【0040】メモリセル51a、51b、および51cの駆動電源ライン56a、56b、および56cが接続されているNwell 54a、54b、54cは互いに分離している。さらに、駆動電源ライン56a、56b、56cは、電源の入り切り用のトランジスタTr1、Tr2、Tr3を介しメモリセル51a、51b、51cのPMOSTランジスタの駆動電源ライン56a、56b、56cへ接続している。図5において、メモリセル51a、51b、51cへの電源の供給もお互いに分離されている。図5において、VDD コントローラ VCTR1、VCTR2、およびVCTR3はトランジスタTr1、Tr2、Tr3のオン/オフを制御し、これによって、メモリセル51a、51b、と51cの電源の入り切りを制御する。この制御はVDD コントローラVCTR1、VCTR2、およびVCTR3の動作モードで設定される。

【0041】ここで、3つのセルの例を示しているが、3セル以上の分割の場合でも同様である。また、ここで各メモリセルに一つの電源スイッチトランジスタを設けているが、実際の条件に応じて、メモリの所定領域のメモリセルの電源をまとめて制御することは、なんの支障もない。

【0042】本実施形態の表示メモリによれば、メモリの所定領域ごとに、電源を分離し、電源の入り切りを独立に制御することによって、使用しない領域のメモリセルのリーク電流を削減することができる。また、メモリセルのNwellを分離することで、使用しないメモリセルの領域への電源供給をカットする事で消費電力を削減できる。

【0043】第3の実施形態

本実施形態に係る表示メモリは第1実施形態の表示メモリと同様な基本構成を有する。ただし、本実施形態において、表示メモリに記憶された画像データのイメージが液晶パネルの画面と同じようになるように、表示メモリのアドレス配列は液晶パネルの画素配列と対応している。また、表示メモリへの読み出しまたは書き込みアクセスは画面上の1行分の画素データを単位として行なう。図6は、本実施形態に係る表示メモリのアドレス配列および液晶パネルの画素の配列の概略図である。図6において、ラインline 0 ~ line Nとピクセルpixel 0 ~ pixel Nを添字とする配列でメモリのアドレスアレーと液晶パネルの画素マトリックスを表現している。メモリのアドレスと液晶パネルの画素の配列が同じイメージとなっている。即ち、メモリのアドレスは液晶パネルの画素の配列にしたがって分配される。たとえば、メモリの1ワードラインに接続されたメモリセルの数、および1対のビットラインに接続されたメモリセルの数は、液晶画面の1行の画素数、1列の画素数、及び画素の色のビット数によって決められる。

【0044】メモリのアドレスの配列と液晶パネルの画素の配列が同じになることによって、ラインline 0 ~

line Nとピクセルpixel 0 ~ pixel Nの添字でメモリに記憶されたデータのうち、アクセスしたい画素のデータを指定できる。CPU2からはラインアドレスとピクセルアドレスを指定し、読み出し、書き込みをする。液晶パネルへ表示する場合は、ラインアドレスを指定して1ライン分まとめて読みだす動作を行なう。

【0045】つぎは、1行の画素データを単位として読み出しまたは書き込み動作について具体的に述べる。図7はライン毎に表示メモリへアクセスする構成を示す。図7において、71は複数の表示用センス・アンプ、72は液晶パネル1ライン分のメモリセル、73は複数のCPU用の書き込みドライバ、74は複数のCPU用のセンス・アンプをそれぞれ示す。液晶パネルの1ライン分のメモリセル72は、読み出しおよび書き込みの時は転送データの単位となり、この量のデータで読み出しおよび書き込みを行なう。表示用センス・アンプ71は液晶パネルの1行の画素分の日数を装備している。表示メモリに記憶されたデータを読み出して液晶パネルに出力する時に、これらのセンスアンプは一度に全部動作する。CPU用書き込みドライバ73は、表示用センス・アンプ71と同数で装備されている。CPU2が表示メモリに記憶されたデータを読み出す時は、これらの書き込みドライバ73も同時に全部動作する。CPU用センス・アンプ74は、表示用センス・アンプ71、また、CPU用書き込みドライバ73と同数で装備されている。CPU2が表示メモリにデータを書き込む時は、これらのセンス・アンプは同時に全部動作する。なお、書き込み時の書き込みドライバは、後述のビット毎の書き込み制御信号に従い、必要な箇所(ビット、或いは、所定の複数のビット)に同時に書き込むことができる。

【0046】本実施形態では、液晶パネルとメモリアドレス配列を同一の添字で取り扱うことが出来る単純なマッピングにした事により、アドレスと液晶パネルの画素との対応をとる為の計算が必要なくなり、かつ、いろいろな画素数の液晶パネルへの対応が簡単にとれる。また、1ライン分表示させる為のメモリの読みだし回数は1回ですませる事ができる。また、CPUからのアクセスも1行単位で行い、その中からピクセル情報にアクセスできる回路を有している。即ち、メモリの動作は1ライン分のアクセスを基本とする。これによりメモリ動作回数を削減し、低消費電力を実現できる。

【0047】第4の実施形態

従来の表示メモリでは、所定のビットを書き込みたい場合には、リード・モティファイト・ライトが必要だった、即ち、データを書き換える前に予めデータを読み出し、書き換えたくないデータをマスクしながら書き換えるビットを変更し、メモリへ書き込む。本実施形態では、前述の表示メモリの上に、ビット方向でメモリセルを指定する列デコーダと書き込み動作を制御する書き込み信号を設け、任意の1メモリセルの選択、および任意

のビットのみ書き込みを可能とする表示メモリを説明する。本実施形態における表示メモリは、第1実施形態の表示メモリの基本構成を有する。

【0048】図8は、本実施形態に係る表示メモリの要部を示す。図8において、図2と同じ構成成分の一部は同じ番号を用いている。図8において、81a、81bはメモリセル、82はメモリの行デコーダ、83a、83bはメモリセル81a、81bのライトドライバをそれぞれ示す。また、84a、84bは列デコーダ、85は読み出し行アドレスラッチ、86は画素アドレスラッチ、87は書き込みデータラッチを示す。88aと88b、88cと88dはそれぞれメモリセル81aと81bのビット線対であり、89はメモリセル81aと81b共通のワード線である。図8において、メモリセル81aは、入出力同士が接続された2つのインバータ29aとインバータ29b、アクセストランジスタとしてのNMOSトランジスタ27a、27bを有し、インバータ29aの出力とインバータ29bの入力との接続点により第1の記憶ノード28aが構成され、インバータ29aの入力とインバータ29bの出力との接続点により第2の記憶ノード28bが構成されている。ビット線88aは、NMOSトランジスタ27aを介して、第1の記憶ノード28aに接続され、ビット線88bは、NMOSトランジスタ27bを介して、第2の記憶ノード28bに接続されている。そして、メモリセル81aのNMOSトランジスタ27a、27bのゲートは共通のワード線89に接続されている。書き込み回路83aは、直列に接続されたローレベルでアクティブの列デコーダ84aの出力からなる制御信号で動作する第1のドライバ24a、24bを有する。行アドレスデコーダ82は、読み出し行アドレスラッチ85の行アドレスデータに基づいて、所定のメモリセル行の共通のワード線にワード線電圧を出力し、NMOSトランジスタ27a、27bを導通状態とする。画素アドレスラッチ86の列アドレスデータに基づき、列アドレスデコーダ84aの出力が反転され、ビット方向で書き込むべきメモリセル列の書き込みドライバ24a、24bに入力し、作動させる。書き込み信号WRTが列デコーダ回路84a、84bに入力され、WRT信号が高レベルの場合のみ、列デコーダ84a、84bが作動する。

【0049】次は、以上の構成を有するメモリの動作について述べる。CMOSインバータ対29aと29bに駆動電圧 V_{DD} を印加すると、双安定フリップフロップ回路である29aと29bはノード28aと28bでは2つの相補的な安定な状態が保持され、ノード28aと28bはデータを記憶できる。例えば、ノード28aが高レベルで、ノード28bが低レベルの時、データ“1”を記憶していると定義し、逆に、ノード28aが低レベルで、ノード28bが高レベルの時、データ“0”を記憶していると定義する。

【0050】NMOSトランジスタ27a、27bが導通状態になっているので、ビット線対88aと88bを介して、ノード28aと28bはライトドライバ83aに接続され、データの書き込みができる。たとえば、CPU2からメモリセル81aにデータを書き込むときは、読み出し行アドレスラッチ85の行アドレスデータに基づいて、行アドレスデコーダ82が、たとえば、ワード線89を選択し、ワード線89に電圧を印加し、NMOSトランジスタ27a、27bが導通状態となる。次は、画素アドレスラッチ86の列アドレスデータに基づき、列アドレスデコーダ84aがビット方向で書き込むべきメモリセルを指定する、例えば、メモリセル81aを指定したとする。ワード線の指定とあわせて、メモリセル81aを選択する事となる。

【0051】本実施形態では、メモリセルへの書き込み動作を制御する書き込み信号WRTを列デコーダ回路84a、84bに入力され、WRT信号が高レベルの場合のみ、列デコーダ84a、84bにより指定されたメモリセルへの書き込みは可能である。例えば、上記のように、メモリセル81aが選択され、WRT信号が高レベルの場合は、列デコーダ素子84aの出力は低レベルとなり、ライトドライバ83aを動作可能にする。したがって、書き込みデータラッチ87に保持されたデータを、行デコーダ82と列デコーダ84で指定したメモリセル81aに書き込むことができる。図8に示すように、書き込みドライバ84aは第1の書き込みドライバ24aと第2の書き込みドライバ24bを有する。書き込みデータラッチ87に保持されたデータは次々に書き込みドライバ84aに入力され、その各ビットのデータはまず第2の書き込みドライバ24bに反転されて、オンとなっているNMOSトランジスタ27bを介して、記憶ノード28bに記憶される。第2の書き込みドライバ24bの反転された出力は第1の書き込みドライバ24aに入力されてさらに反転されて、オンとなっているNMOSトランジスタ27aを介して、記憶ノード28aに記憶される。例えば、書き込みデータの値は1の場合は、第2の書き込みドライバ24bの出力で0になって、記憶ノード28bに記憶される。第2の書き込みドライバ24bの出力0は第1の書き込みドライバ24aに入力されて、1が出力され、記憶ノード28aに記憶される。書き込みデータの値は0の場合も同じように、記憶ノード28aに0が記憶され、記憶ノード28bに1が記憶される。

【0052】一方、WRT信号が低レベルの場合には、メモリセル81aを指定しているデコーダ素子84aの出力は高レベルとなり、メモリセル81aのライトドライバ83aは動作不可となり、したがって、書き込みデータラッチ87に保持されたデータを、行デコーダ82と列デコーダ84で指定したメモリセル81aに書き込むことができない。

【0053】メモリセル81bも同じように動作する。

本実施形態の表示メモリはビット毎の書き込み制御信号（書き込み信号）を有し、この制御信号に基づいて、CPUは表示メモリへ任意の1ビットのみを書き込むことができる。従来の表示メモリと比較すれば、予め読む動作をする事なく同様の効果を書き込む動作のみで実現している。リード・モティファイト・ライトを必要としない書き込み方式により、メモリの動作回数を削減できる。これにより、メモリの消費電力を削減できる。

【0054】第5の実施形態

すでに述べたように、本発明の表示メモリでは、メモリを挟んで、メモリの反対同士の辺に端子が配置されているので、一方の端子をCPU用に、もう一方の端子を液晶パネル用に配置出来る。本発明の液晶ドライバにおいて、CPU用インターフェイスと液晶パネル用インターフェイスは表示メモリを挟み、表示メモリの両端に配置される構成を有する。表示メモリとCPUの間に、CPU用のインターフェイス、表示メモリと液晶パネルとの間に、液晶パネル用のインターフェイスを有する。

【0055】本実施形態は、CPU用インターフェイスと表示メモリとのデータ転送に関する。図9は本実施形態に係る液晶ドライバのCPU側の一部の概略回路構成を示す。図9において、91はラインラッチ回路、92はセクタ回路、93はデータバス、94は表示メモリである。CPUまたはロジック回路から画素ごとに画像データが送られてくる。その画素ごとに送られた画素データはまずデータラッチ91に溜められる。データラッチ91に液晶パネルの1ライン分のデータを溜めたら、そのデータがセクタ92に出力され、選択されて、データバス93を経由して、表示メモリ94に書き込まれる。或いは、CPUは表示メモリ94に記憶された画素データを読み出す場合は、表示メモリ94に記憶された画素データは1ライン分のデータを単位として、データバス94を経由して、セクタ92を介して、データラッチ91に保持され、そして、そのデータラッチ91に保持されたデータが画素ごとにCPUに読み出される。表示メモリ94のデータは液晶パネル側へ読み出され表示される。

【0056】ラインラッチ91のビット幅は表示画面の水平方向に1ライン分の画像データのビット幅と同じである。例えば液晶パネルのサイズが176ピクセル×240行であり、R、G、B三色はそれぞれ6ビットで表し、26万色表示可能な場合、必要なメモリの容量は、176×3×6×240で760320ビットとなり、ラインラッチ91のデータ容量及びビット幅は、176×3×6×1で3168ビットとなる。データバス93も同じビット幅を有する。

【0057】図10は、図9の回路構成によるライン単位の書き込み動作のタイミングチャートを示す。図10において、(A)はCPU側から送られた1ピクセル分の画像データDATA、(B)と(C)は、表示メモリ94におけるX方向（列方向）のアドレスおよびY方向（行方向）のアドレスADD-XとADD-Yを示す。(D)はCPUからラインラッチ9

1への書き込み命令XLATW、(E)はラインラッチ91から表示メモリ94への書き込み命令XRAMW、(F)はラッチデータをそれぞれ示す。なお、ラインラッチ91の格納データをCPU側へ読み出すことも可能である。CPU側からは1ライン分の画像データはピクセルずつXアドレスを指定しながら入力される。このとき、XLATWは“L”を入力し、各ピクセルの画像データはラインラッチ91内のXアドレスに対応した位置に順次格納される。1ライン分の画像データがラインラッチ91に格納された後、Yアドレスを指定してXRAMWを“L”にすると、ラインラッチ91に格納された1ライン分の画像データが表示メモリ94のYアドレスで指定した位置に書き込まれる。

【0058】ラインラッチ91から表示メモリ94への読み出し命令をXRAMRとする。図11は、図9の回路構成によるライン単位の読み出し動作のタイミングチャートを示す。図11において、(A)と(B)は、表示メモリ94におけるX方向（列方向）のアドレスおよびY方向（行方向）のアドレスADD-XとADD-Yを示す。(C)はラインラッチ91からの読み出し命令XLATR、(D)ラインラッチ91から表示メモリ94への読み出し命令XRAMR、(E)はラッチデータ、(F)は読み出した1ピクセル分の画像データDATAをそれぞれ示す。CPU側から、表示メモリ94の読み出したい位置のYアドレスを指定してXRAMRを“L”にすると、表示メモリ94内のYアドレスで指定した位置のデータが読み出され、1ライン分のデータがラインラッチ91に格納される。ラインラッチ91に1ライン分のデータが格納された後は、XLATRを“L”にして1ピクセルずつXアドレスを指定してラインラッチ91に格納されたデータを読み出す。このようにして、1ライン単位でメモリへ読み出しと書き込みアクセスすることができる。

【0059】表示メモリとCPUとの間に1ライン分のラインラッチを備えることによって、表示メモリへの読み出しと書き込みの操作を1ライン分同時に行なう、これによって、表示メモリへのアクセス回数を削減する。表示メモリの動作消費電力はアクセス回数に比例しているため、低消費電力化を実現することができる。

【0060】第6の実施形態

本実施形態に係る液晶ドライバにおいて、前記第5の実施形態の構成に基づいて、液晶パネル上の画素の配列と表示メモリのアドレスの配列とラインラッチ内データのアドレスとが1対1に対応させ、さらに、ラインラッチから表示メモリへピクセルごとに書き込みができる。本実施形態の液晶ドライバにおいて、液晶パネル上の画素の配列と表示メモリのアドレスの配列とが1対1に対応している点は、第3実施形態に述べた表示メモリと同様である。即ち、液晶パネル上のX（列）、Y（行）座標に対応した、X方向、Y方向アドレスを持つ表示メモリを設け、表示パネル上のX、Y座標と表示メモリのX方向、Y方向アドレス位置を1対1で対応づける。

【0061】次は、図12、図13を用いて、図10のタイミングチャートを参照しながら、本実施形態の液晶ドライバにおいて、ラインラッチから表示メモリへピクセルごとに書きこみ動作を説明する。図12は、ピクセル毎に書き込む動作を示す。図12において、121はCPUまたはロジック回路から送られてくる画像データのデータバス(1ピクセル分のデータビット数)、122はラインラッチ、123はラインラッチ122から表示メモリにデータを読み出し或は書き込みするためのデータバス(1ライン分のデータビット数)、124は表示メモリ、125は表示メモリのデータを表示するために液晶パネル側へ送るデータバスをそれぞれ示す。表示メモリ124は図示しない液晶パネル上のX、Y座標に対応したX方向、Y方向アドレスを持ち、X方向、Y方向のサイズは、1画面分のX方向、Y方向データサイズを持っている。ラインラッチ122は不図示CPUからの1ライン分のデータを格納し、このラインラッチ122のX方向位置とメモリ125内のX方向アドレス、画面上のX座標がそれぞれ1対1で対応している。

【0062】次は、表示メモリ124のアドレス(05H、03H)に画像データを書き込む動作を例として述べる。まず、CPU側から画像データとXアドレス(05H)を指定して書き込みを行なうと(即ち、図10ではXLATW="L")、ラインラッチ122上のアドレス05Hが示す位置に画像データが格納される。同時にラインラッチ122に画像データが書き込まれた後、XRAMW = "L"としてYアドレス(03H)を指定すれば、メモリ内の(05H、03H)のアドレス位置に1画素のカラーデータが書き込まれる。

【0063】次は、図13により、上記のピクセルごとに表示メモリ124へ書き込む動作を実現する手法を述べる。図13では、131は表示メモリの一部であり、132はラインラッチである。ラインラッチ132において、133は1ピクセルが占める記憶領域であり、134はピクセルごとに設けた書き込みフラグ(WRITE FLAG)である。図13に示すように、ラインラッチ132で、各ピクセルのアドレスに対して、ラインラッチ132から表示メモリ131へデータを書き込むための書き込みフラグが設けられており、CPU側からラインラッチ132に書き込みがあったピクセルだけWRITE FLAGが立つ(つまり、WRITE FLAG = 1)ようになっている。表示メモリ131へ書き込む時には、WRITE FLAGが1になったピクセルだけが書き込まれ、そのため、所望のピクセルのみを書き込むことができ、まわりのピクセルデータには影響を及ぼさない。さらに、このWRITE FLAGを用いて、同一ライン上の任意の複数ピクセルだけを書き換えることもできる。ラインラッチ132から表示メモリ131へデータを書き込んだ後は、このWRITE FLAGが全て0にリセットされる。

【0064】図14は以上の動作を示すタイミングチャートである。図14において、(A)、(B)、(C)、(D)、

(E)、および(F)はラッチ書き込み信号Latch WriteRQ、ライン書き込み信号Line WriteRQ、書き込みアドレス信号WriteADR、クロック信号CK、書き込みフラグ信号Write Flag、ワード線信号WLを示す。図14に示すように、書き込みアドレス信号WriteADRが示すラインラッチ132のピクセルに書き込みを行なうと、該ピクセルに対して、ラッチ書き込み信号Latch WriteRQが高レベルとなり、つまり、Latch WriteRQ=1。そして、該ピクセルの書き込みフラグ信号Write Flagがセットされ、即ち、高レベルとなる(Write Flag = 1)。ラインラッチ132のWrite Flag = 1のピクセルに対応するメモリ131のピクセルに対して、ライン書き込み信号Line WriteRQがセットされ、高レベルとなる、即ち、Line WriteRQ=1。表示メモリ131の書き込みアドレス信号WriteADRがに指定したワード線WLに電圧を印加し、該ワード線WLに関連するメモリのピクセルへ書き込みを可能とし、そして、書き込みが始まる(Write Start)。即ち、表示メモリ131へ書きこむ時には、表示メモリ131のラインラッチ132のWrite Flag = 1のピクセルに対応するピクセル(Line WriteRQ=1)だけにデータを書きこむ。Write Flagを用いて、同一ライン上の任意の複数ピクセルだけを書き換えることもできる。ラインラッチ132から表示メモリ131へデータを書き込んだ後(Write End)は、Write Flagが0にリセットされる。

【0065】従来は、表示メモリへのread/writeは複数単位ピクセル毎に行なうため、CPUから表示メモリへある1ピクセルの書き込みを行ないたい場合に、そのまま1ピクセル分のデータを書き込もうとすると、まわりの複数のピクセルまで書き換えてしまうことになる。そこで、一度複数単位のピクセルを読み出してから、書き換えたピクセルのデータのみをメモリの外で書き換えて、再度書き換えた複数単位ピクセルをメモリに格納するといったリード・モティファイト・ライトシーケンスを行なっていた。前述のWRITE FLAGをラインラッチに持たせることで、書き込みたいピクセルのみの書き換えを行なうことができる。WRITE FLAGをラインラッチにピクセルごとに持たせることによって、書き込みたいピクセルのまわりのピクセルデータには何の影響も及ぼさず、所望のピクセルデータの書き込みが行なえるため、従来必要としていた、リード・モティファイト・ライトシーケンスを不要にした。

【0066】また、表示メモリの外部で画面上のX、Y座標に対応したメモリアドレスの生成を行なう必要がなく、CPU側からは画面上のX、Y座標をX、Yアドレスとして指定するだけで画面に対応したメモリの位置にピクセル単位で画像データの書き込みを行なうことができる。更に、同一ライン上にある複数ピクセルの書き込みも、ラインラッチと表示メモリとのアクセスが1回で済む。

【0067】第7の実施形態

すでに述べたように、本発明の表示メモリでは、メモリを挟んで、メモリの反対同士の辺に端子を配置しているので、一方の端子をCPU用に、もう一方の端子を液晶パネル用に配置出来る。本発明の液晶ディスプレイにおいて、CPU用インターフェイスと液晶パネル用インターフェイスは表示メモリを挟み、表示メモリの両端に配置される構成を有する。表示メモリとCPUの間に、CPU用のインターフェイス、表示メモリと液晶パネルとの間に、液晶パネル用のインターフェイスを有する。

【0068】本実施形態では、表示メモリから液晶パネル用インターフェイスへのデータ転送に関する。図15は本実施形態に関わる液晶ディスプレイのパネル側の一部の回路構成を示す。図15において、141は表示メモリ、142はデータラッチ回路、143はセクタ回路、144はデジタル・アナログ変換器(DAC)である。145は液晶パネル用のデータバスであり、145を経由して、表示メモリ141から画素データを図示しない液晶パネルに読み出す。ラインラッチ142は、画面上水平方向に1ライン分のデータを格納でき、ビット幅は1ライン分のビット幅と同じである。例えば液晶パネルのサイズが176ピクセル×240行であり、R、G、B三色はそれぞれ6ビットで表し、26万色表示可能な場合、必要なメモリの容量は、 $176 \times 3 \times 6 \times 240$ で760320ビットとなり、ラインラッチ142のデータ容量及びビット幅は、 $176 \times 3 \times 6 \times 1$ で3168ビットとなる。

【0069】表示メモリ141に記憶された画素データを読み出して液晶パネルに表示する場合は、不図示の液晶パネルの水平方向に1ライン分の画素データを単位として、データバス145を経由して、データラッチ142に保持される。そして、データラッチ142に保持されたデータがセクタ143に出力され、セクタ143により、各画素データのR、G、B部分が所定の方式で順次を選択され、デジタル・アナログ変換器(DAC)144へ出力され、さらに液晶パネルの画素に出力される。これによって、画素データは画面に表示される。このように、ラインラッチ142は、一定の周期で液晶画面上の水平方向に1ライン分のデータを表示メモリ145から取り込み、DAC144へ出力するという一連の動作を行なう。

【0070】また、表示メモリ145に保持している1ライン分のデータをラインラッチ142へ書きこむ動作は、表示メモリのクロックに同期して行なう。ラインラッチ142に1ライン分のデータを保持した後は、メモリ145をフリーにできるので、その後の時間をCPUのアクセスタイムに割くことができる、その結果、画面を早く切り替える必要がある動画表示などにも対応できる。

【0071】上記のように、表示メモリを内蔵する液晶ドライバにおいて、液晶パネル画面上の水平方向に1ライン分を一度に駆動するためには、同時に動作するDAC

のデータを保持するためのラッチ回路が必要である。表示メモリとDACの間に液晶パネル画面上の水平方向に1ライン分のデータを保持するのに必要な容量を有するラッチ回路を設けることによって、液晶パネル画面上の水平方向に1ライン分のデータを一度に読み書きすることができるようになり、メモリへのアクセス回数を削減し、低消費電力化を図ることができる。

【0072】第8の実施形態

本実施形態に関わる液晶ディスプレイの構成は第7の実施形態と実質的に同じである、その相違点は、ラインラッチに保持しているデータをデジタル・アナログ変換器(DAC)へ出力する時に、そのデータを赤(red)、緑(green)、及び青(blue)三色で時分割して(RGB時分割)出力することができるセクタ回路(selector)(以下、RGBセクタと称する)が含まれている。図16は本実施形態に関わる液晶ディスプレイの要部の構成を示す。図16はにおいて、150は液晶パネル、151はRGBセクタ回路、152はラインラッチ回路、153は表示メモリから送られてくる画像データのデータバス、154はラインラッチ152から出力する画像データのデータバス、155は表示メモリ、156はセクタ回路151から出力する画像データのデータバス、157はデジタル・アナログ変換器(DAC)、158はRGBセクタ151により時分割された赤(Red)、緑(Green)、及び青(Blue)色を有する画像データをR、G、Bの平行データに変換するセクタ回路、159は赤(red)、緑(green)、及び青(blue)色で表す画素である。

【0073】以上の構成を有する液晶ディスプレイは次のように動作する。表示メモリ155から送られてくる画像データは1ライン単位でラインラッチ152に出力され、保持される。ラインラッチ152に保持しているデータは、水平同期信号(Hsync)に同期して、DAC157へ出力され、その際、画像データのR、G、B成分をRGBセクタ151によって、メモリのクロックに対して非同期に切り替えられ、時分割されて、デジタル・アナログ変換器(DAC)157へ出力される。これによって、セクタ151の出力端子とDAC157の数はラインラッチ152のビット幅数の三分の一となる。DAC157から出力された時分割画像データはセクタ回路158によってR、G、Bデータが分けられ、R、G、Bの平行データになり、画素159へ出力され、表示される。

【0074】例えば、液晶パネル150のサイズが176ピクセル×240行であり、R、G、B三色はそれぞれ6ビットで表し、26万色表示可能な場合、RGBセクタ151は、ラインラッチ152のビット幅と同じ3168ビットの入力端子を有し、1つのDAC157に対し、それぞれ6ビットのR、G、Bデータを時分割で切り替えて出力する。従って、セクタ151は1056ビットの出力端子を有する。

【0075】ラインラッチ152に保持しているデータは、水平同期信号(Hsync)に同期して、DAC157へ出力する。その際、カラー画像データのR、G、B成分をRGBセレクタ151で切り替え、時分割して出力する。従来は、メモリのデータをDACへ出力する際、RGBを時分割して出力することをせず、メモリの出力を1対1でDACと直結していた。画像データをRGBで時分割して出力することで、ラインラッチ152の出力を1対1でDAC157と直結する場合と比較して、DAC157の数を三分の一に減らすことができる。

【0076】また、ラインラッチ152に保持しているデータをディジタル・アナログ変換器(DAC)157へ出力する時に、そのカラーの画像データのRGBの切り替えがメモリのクロックに対して非同期に制御されている。図17はラインラッチ152の出力データのRGB時分割のタイミングチャートを示す。図17において、(A)はメモリのクロック信号、(B)はラインラッチ152の出力データ(3168ビット)、(C)、(D)、(E)は赤(R)データ、緑(G)データ、青(B)データ、(F)はRGBセレクタ回路が出力するRGBデータ(1056ビット)を示す。ラインラッチ152から出力されたR、G、Bデータは、RGB選択回路151によって、クロックと非同期で時分割信号に変換され、RGB選択回路151同じ端子から出力される。ラインラッチ152から出力された3168ビットのデータはRGB選択回路151の出力端子で1056ビットとなる。

【0077】従来は、DACの消費電力をしばるために、セトリングタイムを調整する必要がある。DACとメモリの動作スピードと異なるため、別々に制御する必要がある。しかし、表示メモリのデータをDACへ出力する際、RGBデータを出力するタイミングが固定されており、データの位相を、DACの特性に合わせ自由に変更することができなかった。本実施形態によって、DACへ出力するデータのRGBの切り替えをメモリのクロックに対して非同期で制御できるようにしたことで、DACのセトリングタイムに合わせて調整することができ、割り込みが入っても読み出し系は、ディスタブされない。また、DACのセトリングタイムに合わせタイミングを調整できるので、消費電力をしばることができる。DACとメモリを別々に制御でき、異なる動作スピードにも対応できる。さらに、簡単に入力信号の位相を調整することができる。DACに出力するデータをRGBで時分割して出力できるRGB selectorを設けることによって、ラインラッチの出力を1対1でDACと直結する場合と比較して、DACの数を大幅に減らし(3分の2)、消費電力を大幅に削減することができる。

【0078】次に、上述した実施形態に係る液晶ドライバの好適な構成の例について説明する。本液晶ドライバは、例えば、シングル・ポート、あるいは、デュアル・ポート表示メモリ(フレームメモリ)、発振器、タイミ

ングジェネレータ、液晶階調表示用基準電圧源、CPUとのインターフェイス回路を内蔵した1チップ・ドライバICとする。具体的には、176(H)×3×6(RGB)×240(V)=760320ビットのデュアル・ポート・メモリを内蔵し、設定により120×160ドット、132×176ドット、144×176ドット、176×240ドットなど画素数の異なる液晶パネルに対応するように設計される。適用する液晶パネルは、たとえば、対角の長さは2.2インチ程度であり、水平方向のドライバはTFTセレクタと本発明のメモリ内蔵ドライバICを含み、垂直方向のドライバはTFTドライバとなり、COF方式、または、COG方式によって実装される。反転方式としては、1H/1V(VCOM反転)方式を採用する。

【0079】本液晶ドライバICのロジック系端子は、CPUインターフェイス用のチップ選択、リード、ライト、データ・バス、アドレス・バス、リセット、主クロック、水平同期、垂直同期、シリアル・データ等の端子を有し、また、液晶パネルコントロール用の端子を有する。

【0080】本液晶ドライバのモードレジスタの設定によって、非同期モード、同期モード、カラーモード、スクリーンモード、オルタネーションモード、リフレッシュレート、スタンバイモードなどを変更することができるとする。

【0081】詳細に述べると、非同期モードでは、TFTパネルのスキンのタイミングとCPUが表示メモリを書き換えるタイミングは非同期でよい。表示メモリはデュアル・ポート・メモリで、CPUがWAITを掛けられることはない。表示メモリとTFTパネルのスキンは同期していて、内部/外部発振器のクロックによって内蔵表示メモリの中身が、1行ずつR、G、B各色ごとにパラレルでD/A変換回路へ出力される(セルフ・リフレッシュ)パラレルで出力する際に、垂直ドライバのシフト・レジスタのクロック信号の1周期の前半1/3の期間には青色のデータ、中盤1/3の期間には緑色のデータ、後半1/3の期間には赤色のデータを出力する。

【0082】非同期モードのCPUインターフェイス、パラレル・インターフェイスとなる。パラレル・インターフェイスを使わない場合に、シリアル・インターフェイスを使って、8ビットパラレル・インターフェイスと同じ機能を果たす、ただし、シリアル・インターフェイスは書込専用で、読出しはできない。

【0083】同期モードでは、画像データは画像用クロックと水平同期信号と垂直同期信号とに同期して連続して送られる。水平/垂直同期信号を使ってTFTパネルをスキュンするため、すべてのタイミングはTFTパネルのスキュンとも同期している。同期モードで、通常時は、画像データはDAC直前のライン・バッファに直接書込まれ、表示メモリの内容は同期モードに切り換え前の情報が保持される。同期モードでは、画像データは途切れなく転送されるので、DACにデータを転送するバッファと

10

20

30

40

50

データを逐次受け取るバッファが存在し、水平同期信号(Hsync)周期で交番するライン・バッファにはRGBのデータが18ビット幅で入力されるが、出力されるときは、Hsyncの序盤1/3期間にまずBのデータが6ビット幅でDACに送られ、つぎにHsyncの中盤1/3期間にGのデータが6ビット幅でDACに送られ、Hsyncの終盤1/3期間にまずBのデータが6ビット幅でDACに送られる。同期モードで、画像データは一旦表示メモリに取り込まれる、いわゆる、キャプチャー方式の画像データ扱い方もある。

【0084】同期モードのRGBパラレル・バス・インターフェイスについて述べる。デフォルトで画像信号に同期した画像信号クロックの立上りで画像データをラッチするが、CPUから変更可能となっている。水平同期信号の極性はデフォルトで負極性(CPUから変更可能)である。水平プランキング期間+映像信号期間で1周期をなす。垂直同期信号の極性はデフォルトで負極性(CPUから変更可能)である。垂直プランキング期間+映像信号期間で1周期をなす。画像信号は、画像クロックでラッチする。

【0085】同期モードのCPUインターフェイスについては、同期モードではシリアル・インターフェイスしか使用できない。シリアル・インターフェイスは書込専用で、読出しはできない。シリアル・インターフェイスでは、パラレル8ビットバス・モードでの動作に準ずる。

【0086】本液晶ドライバのモード・レジスタの設定によって、種々のカラー・モード(color mode)を設定できる。フル・カラー・モードでは、内蔵6ビットDACを使って、RGBの6ビットをそれぞれ64段階の電圧に変換、出力する。

【0087】リデュースド・カラー・モード(8色モード)では、RGBの6ビットをそれぞれのスペシャル・エフェクト・レジスタの示すページに従って、ページが1のときは6ビット中の最上位(MSB)に、ページが2のときは上位から2ビット目に、ページが6のときは最下位(LSB)に従って、接地または出力アンプ用高電圧電源のレベルVCCを出力する。このとき内蔵6ビットDACへの電力供給はストップする。

【0088】スクリーン・モード(screen mode)について述べる。フル・スクリーン・モードでは、画面全体をステータス・レジスタで指定されたカラー・モードで表示する。パーシャル・スクリーン・モードでは、ステータス・レジスタで指定された部分のみステータス・レジスタで指定されたカラー・モードで表示し、それ以外の部分をスキャンするときは指定されたカラー・モードで白を表示する。

【0089】次は、スタンバイ・モード(standby mode)について述べる。スタンバイ・モードの移行期間では、1フィールド周期ごとに1フェーズずつ、モード・レジスタのスタンバイ・モードの値を参照し、その値に従って状態遷移するアウエイク・モード(awake mode)からアス

リープ・モード(asleep mode)に移行中に再びアウエイク・モードになった場合は、シーケンスを守りながら復帰する。本液晶ドライバICは電源投入後、またはハードウェア・リセット後アスリープ・モードになっている。

【0090】アウエイク・モードでは、アスリープの状態から、

内蔵発振器の発振開始

→ DC/DCコンバータを起動

→ パネル・リセット

→ コモン電圧のカップリング・コンデンサの急速充電

→ 全面白表示

というシーケンスを実行した後、アウエイク(通常)・モードとなる。

【0091】アスリープ・モードでは、アウエイク(通常)の状態から、

全面白表示

→ コモン電圧のカップリング・コンデンサの急速放電

→ パネル・リセット

→ DC/DCコンバータを停止

→ 内蔵発振器の発振開始

というシーケンスを実行した後、アスリープ・モードとなる。

【0092】表示メモリ・アクセス・モードについて述べる。表示メモリ・アクセス・モード・レジスタの内容によって、ポートレイト(縦長)、ランドスケープ(横長)、通常、ミラー(鏡像)、通常、アップセット(上下反転)という8種類のシーケンシャル・メモリ・アクセスができる。

【0093】本液晶ドライバの特殊機能について述べる。画像取り込み機能は、動画信号はフレーム・メモリ・アクセス・レジスタのcaptureが"0"の期間は、フレーム・メモリの中身は保持される。captureが"1"になると次の垂直同期信号以降の1フレームが、フレーム・メモリに取り込まれる。captureが"1"から"0"になると次の垂直同期信号以降に、フレーム・メモリの中身は保持される。

【0094】コモン電圧初期充電機能については、コモン電圧の出力端子の直流カット用コンデンサを急速充電することができる。コモン電圧の出力端子の直流カット用コンデンサの対向には、DCオフセット端子がつながっており、サグが発生する。表示モードにおいてもサグを小さく抑えるために、DCオフセット端子は高抵抗となっていて、コンデンサへのDCオフセットの充放電に時間がかかるようになっている。しかし、電源投入/遮断時には、急速にDCオフセットの充放電を行なわないと、初期状態～定常状態の移行期間に表示品位が低下する。特に、放電時には電源遮断後もなおDCオフセットが残ると残像が表示される、このため急速充放電が必要となる。

【0095】リセット機能においては、ハードウェア・リセットは、CPUと接続されたリセット・ピンからのリ

セット信号によるリセットであり、レジスタ/フレーム・メモリはリセットされない。ソフトウェア・リセットは、CPUからのコマンドによるリセット、表示メモリ/一部のレジスタの内容は保持される。

【0096】コントラスト・コントロール機能においては、黒を多用する表示は消費電力が大きいことから、コントラストを下げ、黒表示を避ける(コントラストの定義は白の輝度/黒の輝度であるので、この場合のコントラストを下げるとは、白の輝度はそのまま黒の輝度を上げるということ)。6ビットのRGBデータの場合、00H → 6V振幅でパネルを充放電 → 黒表示 → 電力消費大。20H → 3V振幅でパネルを充放電 → 灰色表示。3FH → 0.4V振幅でパネルを充電 → 白表示。そこで、6ビットの2で割って(下位1ビットを捨てて)20Hを足す、00H → 20H → 3V振幅でパネルを充放電 → 黒表示、20H → 30H → 1.5V振幅でパネルを充放電 → 灰色表示、3FH → 3FH → 0.4V振幅でパネルを充電 → 白表示。3万2千色にして、コントラスト低下を実現する。

【0097】スクロール機能は、パネル・エンド・メモリ・ポインタを制御することによって、フレーム・メモリからパネルへ転送するデータを入れ替え、表示上ロールして見えるようにする機能である。専用レジスタによりロール開始行、ロール行幅、ロールスピード/方向を制御できる。

【0098】ネガ・ポジ反転(negative-positive inversion)機能は、画面上の2点を専用レジスタで指定すると、2点を対角とする長方形の内部がネガ・ポジ反転する機能である。パネル・エンド・メモリ・ポインタを監視し、指定された範囲内にポインタがある期間は表示メモリの出力を反転させてからDACへ送る。

【0099】点滅機能は、画面上の2点を専用レジスタで指定すると、2点を対角とする長方形の内部が点滅する機能である。パネル・エンド・メモリ・ポインタを監視し、指定された範囲内にポインタがある期間は表示メモリの出力と点滅周期カウンタの出力のANDをDACへ送る。

【0100】内蔵DC/DCコンバータ制御機能においては、CPUから、内蔵DC/DCコンバータの使用/封印を設定するスイッチ、DC/DCコンバータの各チャンネルのON/OFFスイッチが制御できる。

【0101】内蔵LEDドライバ制御機能においては、CPUから、内蔵LEDドライバの使用/封印を設定するスイッチ、LEDドライバの電流シンク能力調整(8段階)が設定できる。

【0102】本液晶ドライバには、多数のレジスタとポインタを設け、以上の仕様を実現する。

【0103】本発明は以上に説明した実施の形態に限られるものではなく、本発明の要旨を逸脱しない範囲で、種々の改変が可能である。第1実施形態では、表示メモリから画素へデータを出力する第1のアクセスは、表示

メモリのクロック信号の低レベル期間に行ない、外部制御手段が表示メモリからデータを読み出し、及び表示メモリへデータを書き込む第2のアクセスは、表示メモリのクロック信号の高レベル期間に行なうとしたが、第1のアクセスはクロック信号の高レベル期間に、第2のアクセスはクロック信号の低レベル期間に行なうとしてもいい。また、第2実施形態では、メモリセル毎に一つの電源スイッチトランジスタを設けているが、実際の条件に応じて、メモリの所定領域のメモリセルの電源をまとめて制御してもよい。

【0104】

【発明の効果】本発明によれば、リード・モディファイト・ライトを必要としない画素毎の書き込み方式により、メモリの動作回数を削減でき、消費電力を削減できる。任意の1ピクセルのみのメモリへのデータ書き込みがアクセス1回でできるため、ピクセル単位での書き換えも従来に比べ低消費電力である。

【0105】ドライバ回路とメモリ配列との単純なマッピングを可能にした事により、アドレスとディスプレイ表示画面の画素との対応をとる為の計算が必要なくなり、かつ、いろいろな画素数のドライバ回路への対応が簡単にとれる。画面、メモリのマッピングとラインラッチを対応させ、任意の1ピクセルのみのメモリへのデータ書き込みができ、同一ライン上の任意の複数ピクセルのデータ書き込みがメモリへのアクセス1回で行なうことができ、CPU側からアドレスとして表示画面上のX、Y座標を指定するだけでよい。

【0106】プロセッサと表示メモリとの間にラインラッチを持たせ、1行表示につき1回の読み出しで動作させることで、メモリの動作回数を削減し、これにより、メモリの消費電力を削減できる。

【図面の簡単な説明】

【図1】本発明に係るディスプレイの全体構成図である。

【図2】本発明の第1実施形態に係る表示メモリのメモリセルの構成図である。

【図3】本発明の第1実施形態に係るドライバ回路の要部の構成図である。

【図4】本発明の第1実施形態に係る表示メモリの動作を示すタイミングチャートである。

【図5】本発明の第2実施形態に係る電源を分割した表示メモリの構成を示す。

【図6】本発明の第3実施形態に係る表示メモリのアドレス配列およびディスプレイ表示画面上の画素の配列の概略図である。

【図7】本発明の第3実施形態に係る表示メモリへライン単位でへアクセスする構成を示す。

【図8】本発明の第4実施形態に係るビット毎に書き込むことができる表示メモリの要部の構成を示す。

【図9】本発明の第5実施形態に係るドライバ回路のCP

10

20

30

40

50

U側の概略回路構成を示す。

【図10】本発明の第5実施形態に係るドライバ回路のライン単位で書き込む動作のタイミングチャートを示す。

【図11】本発明の第5実施形態に係るドライバ回路のライン単位で読み出す動作のタイミングチャートを示す。

【図12】本発明の第6実施形態に係るドライバ回路のピクセル毎に書き込む時の概略回路構成を示す。

【図13】本発明の第6実施形態に係るドライバ回路において、ピクセルごとに表示メモリへ書き込むことができる構成を示す。

【図14】本発明の第6実施形態に係る書き込みフラグ信号を用いる表示メモリへ画素ごとに書き込む動作のタイミングチャートを示す。

【図15】本発明の第7実施形態に係るドライバ回路のディスプレイ表示画面側の概略回路構成を示す。

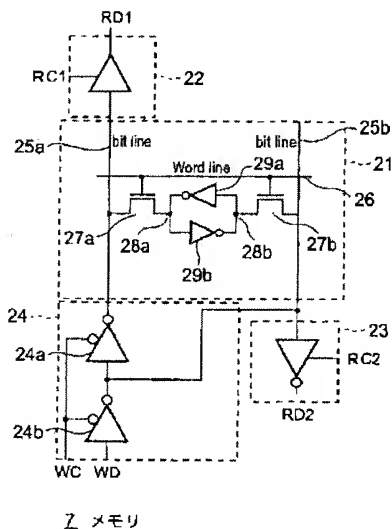
【図16】本発明の第8本実施形態に係るディスプレイの要部の構成を示す。

【図17】本発明の第8本実施形態に係るディスプレイにおいて、画像データをRGB時分割するタイミングチャートを示す。

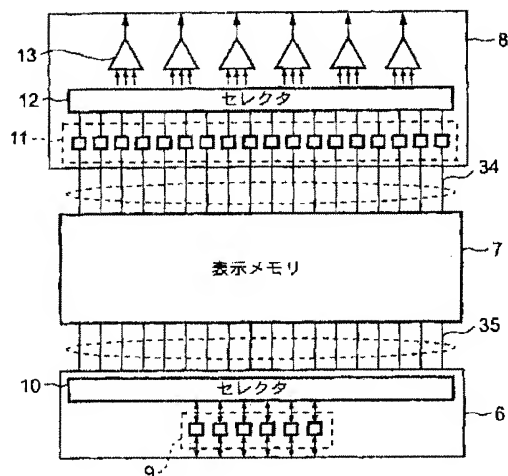
【符号の説明】

1…ディスプレイ、2…CPU、3…ドライバ回路、4…ディスプレイ表示画面、5…走査回路、6…CPU I/F、7…表示メモリ、8…LCD I/F、9…データラッチ、10…セクタ回路、11…データラッチ、12…セクタ回路、13…DAC、21…メモリセル、22…表示用センス・アンプ、23…CPU用センス・アンプ、24、24a、24b…書き込みドライバ、25a、25b…ビット線、26…ワード線、27a、27b…NMOSトランジスタ、28a、28b…記憶ノード、29a、29b…CMOSインバータ、34…表示用データバス、35…CPU用データバス、51a、51b、51c…メモリセル、52a、52b…ビット線、53a、53b、53c…ワード線、54a、54b、54c…N well、55a、55b、55c…P well、56a、56b、56c…電源ライン、71…表示用センス・アンプ、72…1ライン分のメモリセル、73…CPU用センス・アンプ、74…CPU用書き込みドライバ、81a、81b…メモリセル、82…ワードドライバ、83a、83b…ライトドライバ、84a、84b…カラムデコーダ、85…読み出しデータラッチ、86…画素アドレス・ラッチ、87…書き込みデータラッチ、88a、88b、88c、88d…ビット線、89…ワード線、91…ラインラッチ回路、92…セクタ回路、93…データバス、94…表示メモリ、121…データバス、122…ラインラッチ回路、123…データバス、124…表示メモリ、125…データバス、131…表示メモリ、132…ラインラッチ、133…ピクセル、134…書き込みフラグ、141…表示メモリ、142…データラッチ回路、143…セクタ回路、144…DAC、145…データバス、150…ディスプレイ表示画面、151…RGBセクタ、152…ラインラッチ回路、153…データバス、154…データバス、155…表示メモリ、156…データバス、157…DAC、158…セクタ回路、159…画素、RC1、RC2…read control、RD1、RD2…読み出しデータ、WC…write control、WD…書き込みデータ、Tr1、Tr2、Tr3…電源スイッチングトランジスタ、VCTR1、VCTR2、VCTR3…VDD controller、WRT…書き込み信号。

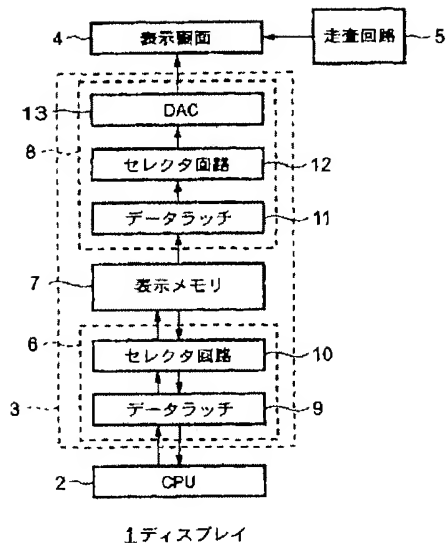
【図2】



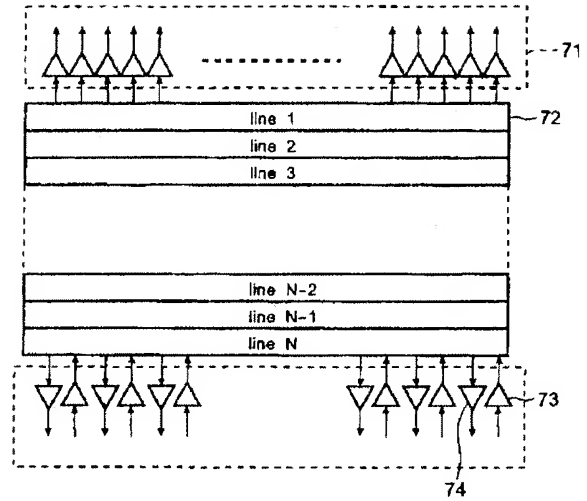
【図3】



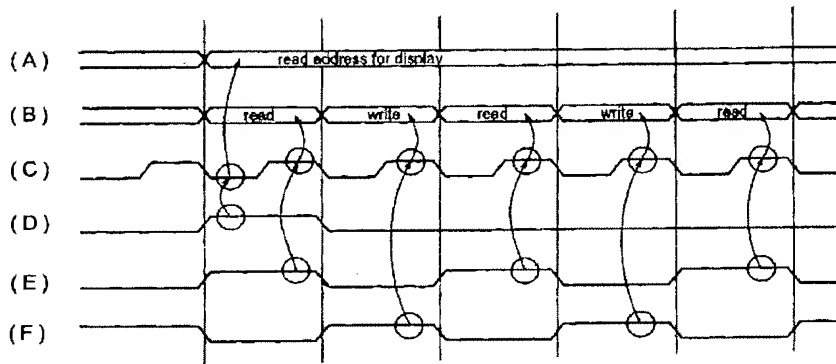
【図1】



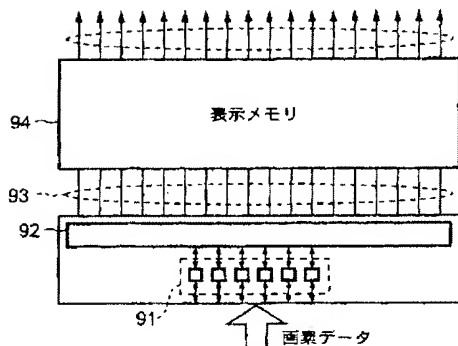
【図7】



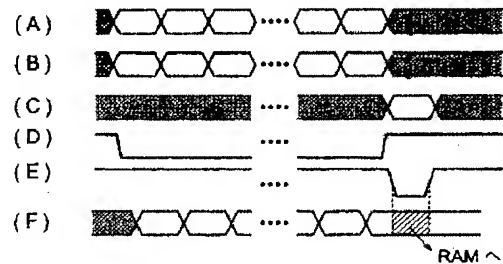
【図4】



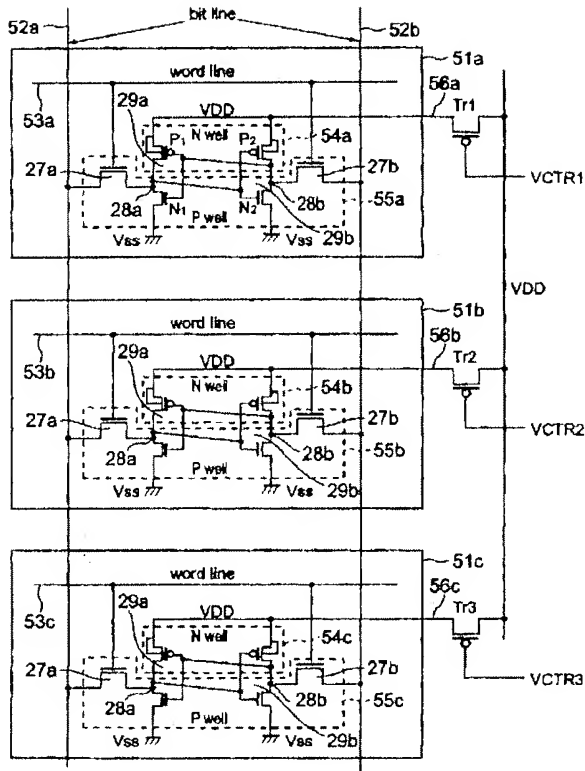
【図9】



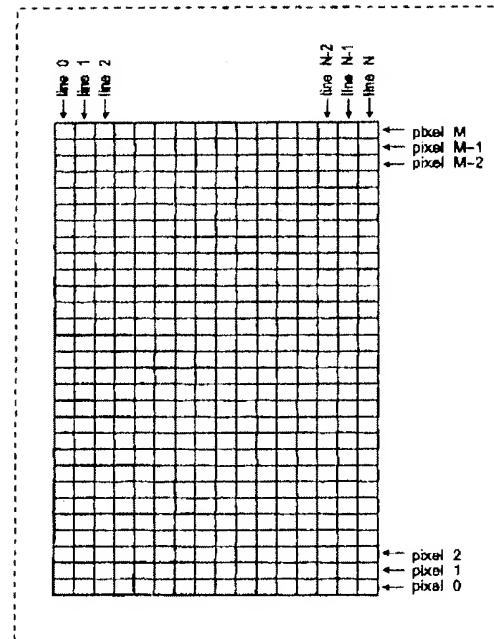
【図10】



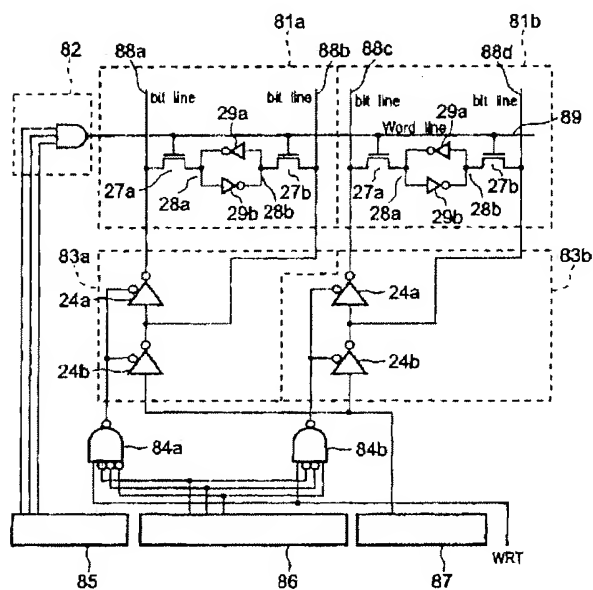
【図5】



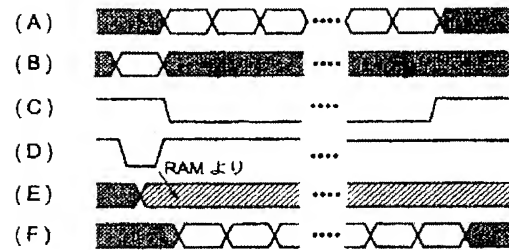
【図6】



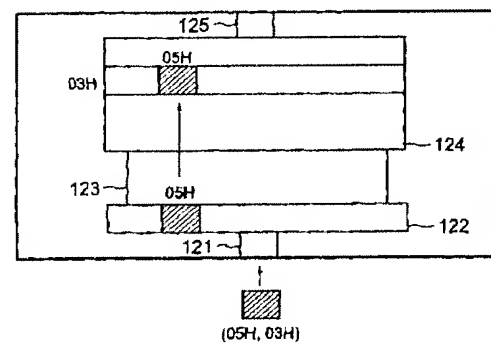
【図8】



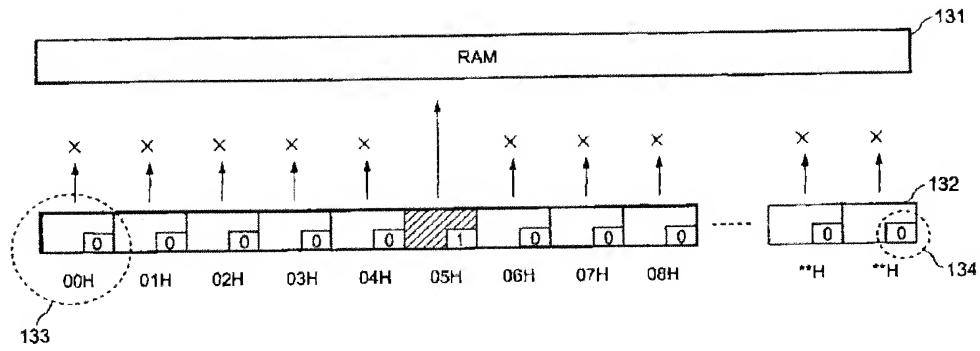
【図11】



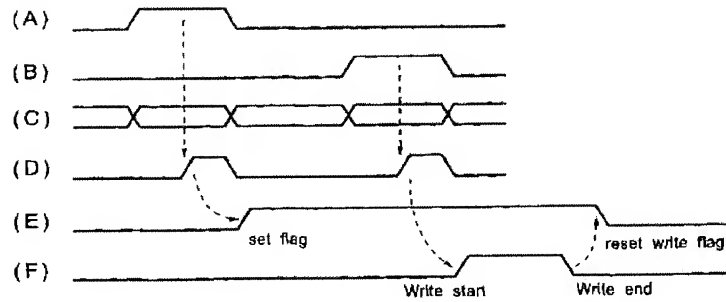
【図12】



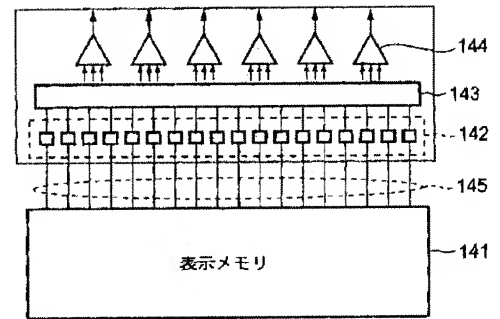
【図13】



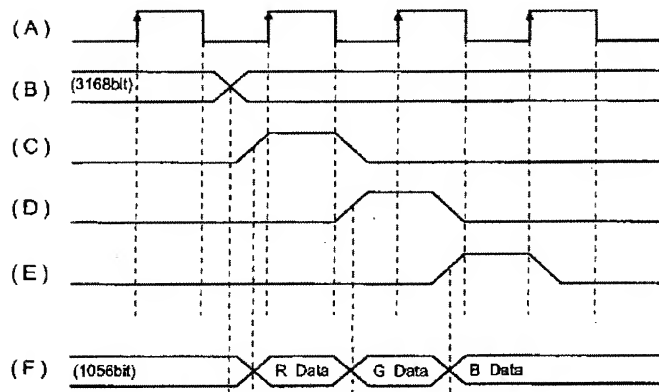
【図14】



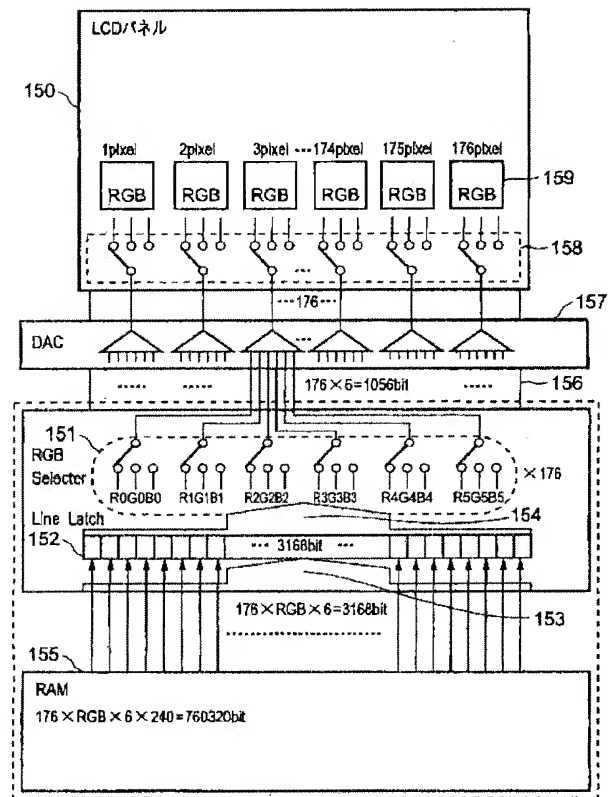
【図15】



【図17】



【図16】



フロントページの続き

(51) Int. Cl.⁷
G 0 9 G 3/20

識別記号

F I
G 0 9 G 3/20

テーマコード(参考)
6 3 1 H

(72) 発明者 綾部 智也
福岡県福岡市早良区百道浜2丁目3番2号
ソニーセミコンダクタ九州株式会社内

Fターム(参考) 2H093 NC11 NC22 NC26 NC29 NC34
ND39
5C006 AF03 AF04 AF42 AF69 BB16
BC03 BC06 BC12 BC16 BF02
BF03 BF04 BF09 FA47
5C080 AA10 BB05 DD26 FF11 GG12
JJ02 JJ03 JJ04